

PAT-NO: JP401035677A

DOCUMENT-IDENTIFIER: JP 01035677 A

TITLE: TESTING DEVICE FOR IC CARD

PUBN-DATE: February 6, 1989

INVENTOR-INFORMATION:

NAME

KIDERA, KINICHI

ASSIGNEE-INFORMATION:

NAME

OMRON TATEISI ELECTRON CO

COUNTRY

N/A

APPL-NO: JP62192130

APPL-DATE: July 30, 1987

INT-CL (IPC): G06K017/00, G06F003/06

US-CL-CURRENT: 235/487

ABSTRACT:

PURPOSE: To reduce software-like load by making the check bit of an incoming first transmission block forcedly into an error representing level, and informing difference or sameness from/to the contents of the sequentially incoming second transmission block.

CONSTITUTION: An I/O 16, that is, an interface to an IC card supplies a power source voltage Vcc to the IC card, and at the same time, inputs a reset signal, a clock signal and data, etc. A shift register 10 fetches the data transmitted from the IC card to a microcomputer 15, and inputs it to a setter 11. The setter 11 inputs the data, as it is or after inverting it, to an AND circuit 12, and a signal generation circuit 13 makes the check bit of the first transmission block forcedly into the error representing level. The computer 15 compares the contents of the first transmission block with the contents of the sequentially incoming second transmission block, and lights an OK lamp 3 or an NG lamp 4. Thus, the IC card can be tested while the software-like load being lightened.

COPYRIGHT: (C)1989, JPO&Japio

⑫ 公開特許公報(A)

昭64-35677

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)2月6日

G 06 K 17/00
G 06 F 3/06

3 0 4

B-6711-5B
R-6711-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 ICカードテスト装置

⑯ 特 願 昭62-192130

⑰ 出 願 昭62(1987)7月30日

⑱ 発 明 者 木 寺 謹 一 京都府京都市右京区花園土堂町10番地 立石電機株式会社
内

⑲ 出 願 人 立石電機株式会社 京都府京都市右京区花園土堂町10番地

⑳ 代 理 人 弁理士 小森 久夫

明 細 書

1. 発明の名称

ICカードテスト装置

2. 特許請求の範囲

(1) ICカードが挿入されたとき最初に送信されてくる第1の伝送ブロックのチェックビットを強制的にエラー表示レベルにするエラー発生回路と、続いて送信されてくる第2の伝送ブロックの内容と前記第1の伝送ブロックの内容との異同を告知する再送機能チェック手段と、を設けたことを特徴とするICカードテスト装置。

3. 発明の詳細な説明

(a) 産業上の利用分野

この発明はICカードのデータ再送機能をテストするICカードテスト装置に関する。

(b) 従来の技術

近年、1チップや2チップのマイクロコンピュータを内蔵したCPUカード(以下ICカードと言う)が開発され一部が実用化されている。この

カードは現在広く用いられている磁気カードに比べて、データ記憶容量が極めて大きく、データの機密性も高いため今後銀行カード、クレジットカード等に普及していくことが期待されている。

ICカードのデータリードライトは、ICカードに内蔵されたマイクロコンピュータとデータ処理装置との通信によって行われるため、この通信のための特定のフォーマットが定められている。第4図に一般的なフォーマットの例を示す。このフォーマットでは13ビットで1つの伝送ブロックが形成されている。伝送ブロックは、スタートビット(ST)、データブロック、チェックビットおよびストップビット(SP)から構成されている。データブロックは8ビットのデータと1ビットのパリティビットからなっており、パリティビットは奇数パリティにセットされる。チェックビットは2ビットであり、両ビットの境界の“H/L”によって受信可否が表現される。すなわち、ICカードは表面に8個の端子が設けられているがデータや制御信号の送受信に用いられるのはI

／O端子1個のみである。したがって、ICカードからデータ処理装置に向けてデータが送信されているとき、データ処理装置はICカードに対して何ら制御信号を送信することはできず、各伝送ブロックの受信可否をも伝達することができない。この欠点を解消するため、各伝送ブロックにチェックビットを設け、このビットではICカードはデータの送信を停止し受信装置側（データ処理装置側）のI／O端子のレベルをチェックする。受信装置側は、その伝送ブロックを正確に受信できなかったときチェックビットを“L”に落とし、正確に受信できたときは“H”にする。ICカードは、チェックビットのレベルが“H”であればデータの受信が正確に行われていると判断してデータ送信を継続し、“L”になっていればこの伝送ブロックの受信がエラーになったと判断して再度この伝送ブロックを送信する。この機能がICカードのデータ再送機能である。

ICカードがこのようなデータ再送機能を有することにより、ICカードとデータ処理装置との

間のデータ送受信を円滑に行うことができる。

(ii) 発明が解決しようとする問題点

ところで、ICカードの機能を規定するプログラムはマイクロコンピュータに含まれるROMに記憶されるが、時に記憶内容が正確でなくデータ再送機能が正常に動作しない不良のICカードが製造されることがある。このような不良のICカードが使用された場合、データ送受信が正常に行われずデータ処理の円滑を欠くこととなる。そこで、従来は、実際のデータリードライトに使用されるデータ処理装置にテスト機能を持たせ、実際のデータリードライトを行うまえにデータ再送機能が正常か否かをテストするようにしていた。このチェック機能は、データ処理装置にチェックビットを“L”にするプログラムを組み込むことによって実現されていた。しかしながらこの方式ではデータ処理装置に特別なプログラムが必要となりソフト的に負担が大きくなる問題点があった。また、ICカード製造時等に簡略にテストすることができない問題点があった。

この発明はこのような問題点に鑑み、ハード的な構成でICカードの再送機能をテストすることによりソフト的な負担を軽減するとともに簡略な構成にしたICカードテスト装置を提供することを目的とする。

(iii) 問題点を解決するための手段

この発明は、ICカードが挿入されたとき最初に送信されてくる第1の伝送ブロックのチェックビットを強制的にエラー表示レベルにするエラー発生回路と、続いて送信されてくる第2の伝送ブロックの内容と前記第1の伝送ブロックの内容との異同を告知する再送機能チェック手段と、を設けたことを特徴としている。

(iv) 作用

この発明のICカードテスト装置は、ICカードが挿入されたとき最初に送信されてくる第1の伝送ブロックのチェックビットを強制的にエラー表示レベル“L”にする（エラー発生回路）。この回路はデータの先頭からチェックビットまでのビット数をカウントするカウンタと、I／O信号

線のレベルを“L”にする回路等で構成すればよい。このときICカードが正常に機能していれば、この最初の伝送ブロックを再度送信する。第1の伝送ブロックが繰り返して送信されてくればこのICカードの再送機能は正常であることがわかる。一方、チェックビットを“L”にしたにもかかわらず連続する伝送ブロックが送信されてくる場合にはこのICカードはデータ再送機能が正常に機能しない不良のICカードであると判断することができる（再送機能チェック手段）。再送機能チェック手段は、第1のデータブロックを記憶するバッファ、第2のデータブロックを読み込むシフトレジスタ、両者の対応するビットを照合するAND回路等で構成することができ、また、マイクロコンピュータで構成することもできる。

(v) 実施例

第2図はこの発明の実施例であるICカードテスト装置の外観図である。装置の前面にはICカードを挿入するカード挿入口2および挿入されたICカードをテストした結果良品であるか不良品

であるかを告知するためのOKランプ3およびNGランプ4が設けられている。前記ICカード挿入口2の内部にはICカードの表面に設けられている接点と接触して電源や信号等の送受を行う接触子が設けられている。

第1図は前記ICカードテスト装置のブロック図である。ICカード挿入口2の内部に設けられている接触子はI/O16に接続されている。I/O16はICカードに電源電圧Vccを供給するとともにリセット信号、クロック信号、データ等を入力する。またICカードテスト装置内のマイクロコンピュータ15にはインターフェイスとしてRS-232-Cインターフェイス17が接続されており、このRS-232-Cインターフェイス17と前記I/O16との間には信号用接地線およびI/O信号線が接続されている。信号用接地線は装置内部においても接地されている。またI/O信号線にはシフトレジスタ15が接続されており、ICカードからマイクロコンピュータ15に向けて送信されるデータを取り込んで8ビ

ットのデータをパラレルに設定器11に入力する。設定器11は8ビットデータのそれぞれをそのまま(正転)または反転してAND回路12に入力する回路であり、各ビットの正転/反転はICカードから送信されてくる最初の伝送ブロックに含まれる8ビットデータと一致するように("1"のビットは正転するように、"0"のビットは反転するように設定し、その出力が8ビットとも"1"になるように)設定される。ICカードから最初の伝送ブロックが伝送されてきたとき上述のようにセットされた設定器11は8ビットとも"1"の信号をAND回路12に入力し、これによってAND回路12は"1"を出力する。AND回路12の信号は信号発生回路13に入力されている。信号発生回路13はAND回路12から"1"の信号が入力されたときその直後のチェックビットを"1"にする。前記シフトレジスタ10および信号発生回路13にはクロック回路14が接続されておりデータの入出力のタイミングを同期させている。信号発生回路13はAND回路

12から"1"信号が入力されたときスタートし1または2クロック(ビット)を計数したときI/O信号線に"L"を出力するカウンタで構成すればよい。この信号発生回路13がこの発明のエラー発生回路に対応する。

マイクロコンピュータ15は最初に送られてくる伝送ブロックのデータとその次に送られてくる伝送ブロックのデータとを監視しており、それらがいずれも同一内容のデータであれば再送機能が正常であるとしてOKランプ3を点灯し、異なっていれば再送機能異常としてNGランプ4を点灯する。

第5図に前記I/O16に入力される各信号のタイミングチャートを示す。カードが挿入されると直ちに電源電圧Vccが供給される。これから2ns後にクロック信号が発生し、クロック信号発生と同時に約10msの間リセット信号が出力され、ICカード内部のメモリがリセットされる。リセット終了から約10ms~10msののちICカードはデータの送信を開始し、最初の伝送ブロックを

送信する。最初の伝送ブロックはデータとしてスタート信号"3B"を有している。前記設定器11はこのデータが入力されたときAND回路12が"1"を出力するようにセットされているため、この伝送ブロックのチェックビットは破線で示すように"L"となる。この結果ICカードは"3B"のスタート信号を有する伝送ブロックを再送するが、このとき再びチェックビットは"L"となる。

第3図に前記マイクロコンピュータ15の概略動作のフローチャートを示す。ICカードが挿入されると、この動作がスタートし、n1で第1伝送ブロックを受信し、この伝送ブロックに含まれるデータ(スタート信号)をメモリに記憶しておく(n2)。続いて送信されてくる第2伝送ブロックを受信して、このうちのデータの内容をn2の動作で記憶したデータの内容と比較する(n4)。比較の結果一致していればOKランプ3を点灯して(n5)動作を終え、不一致であればNGランプ4を点灯して(n6)動作を終える。

OKランプ3, NGランプ4およびn2, n4, n6がこの発明の再送機能チェック手段に対応する。

なお、この実施例では再送機能チェック手段をマイクロコンピュータ15とそのプログラム等で構成したが、AND回路12の出力線(第1図にAで示す。)に2カウントでカウントアップするカウンタを取りつけ、シフトレジスタ10, 設定器11, AND回路12および前記カウンタで再送機能チェック手段を構成してもよい。すなわち、AND回路12はスタート信号が送信される毎に"1"を出力するから、データ再送機能が正常であれば2度以上スタート信号が再送されてくるためカウンタはカウントアップするが、データ再送機能が異常であればスタート信号が再送されないためカウンタはカウントアップしないままである。このカウンタの出力を判断して表示・警報等が起動するようにすればよい。

また、前記マイクロコンピュータ15はICカード発行装置等のデータ処理装置で構成すること

もできる。この場合制御部は入力されたデータを表示する汎用のテストプログラムを動作させ、表示されたデータの内容から係員がデータ再送機能の正常・異常を判断するようにすればよい。警報手段は入力データを画面に表示するプログラムによって構成される。またこの場合、通常はICカードの発行に使用することができるため、ブロック図(第1図)のBの位置にスイッチを設け、データ再送機能チェック時のみこのスイッチをオンしてチェックビットを"1"に落とすようにする。

(d)発明の効果

以上のようにこの発明によれば、エラー発生回路等のハード的な部分で装置を構成したことによって装置を簡略化することができ、ICカード製造時等に簡略に大量にデータ再送機能をテストすることができる。また、ICカード発行装置等のデータ処理装置に接続して使用する場合(上記実施例においてマイクロコンピュータをデータ処理装置で構成する場合)は、汎用的なテストプログ

ラムを使用することができるためソフト的な負担を軽減することができる利点が生じる。

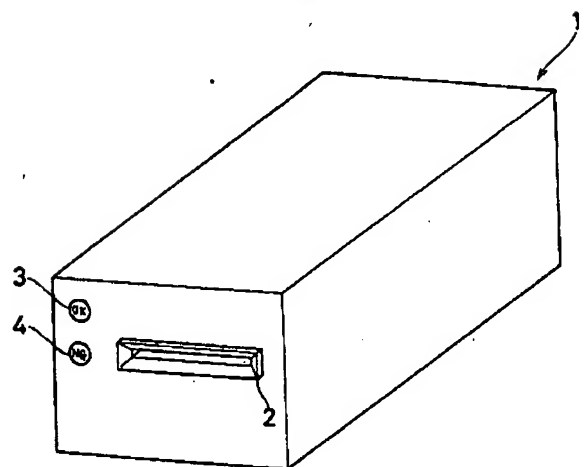
4.図面の簡単な説明

第1図はこの発明の実施例であるICカードテスト装置の制御部のブロック図、第2図は前記ICカードテスト装置の外観図、第3図は前記制御部の動作を示すフローチャート、第4図はICカードから送られてくる信号の伝送ブロックの構成を示す図、第5図はI/Oを介してICカードと入出力される各信号のタイミングチャートを示す図である。

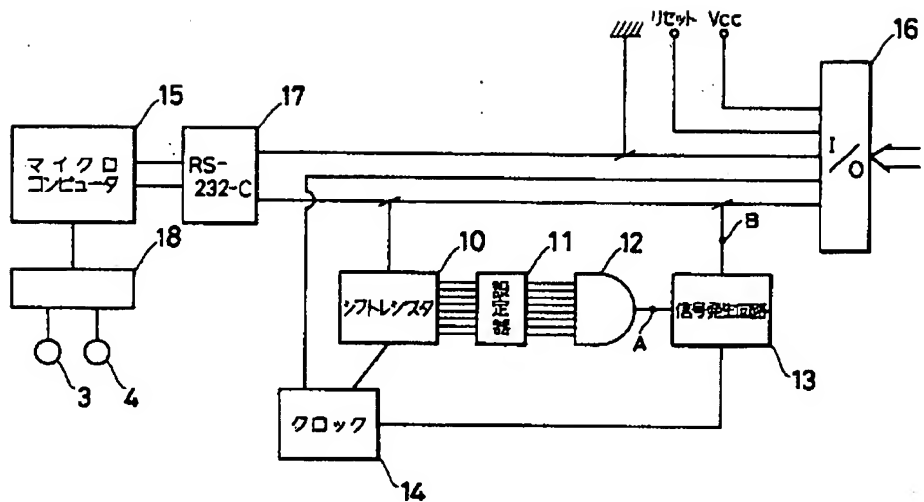
10—シフトレジスタ、11—設定器、
12—AND回路、13—信号発生回路、
14—クロック、15—マイクロコンピュータ。

出願人 立石電機株式会社
代理人 弁理士 小森久夫

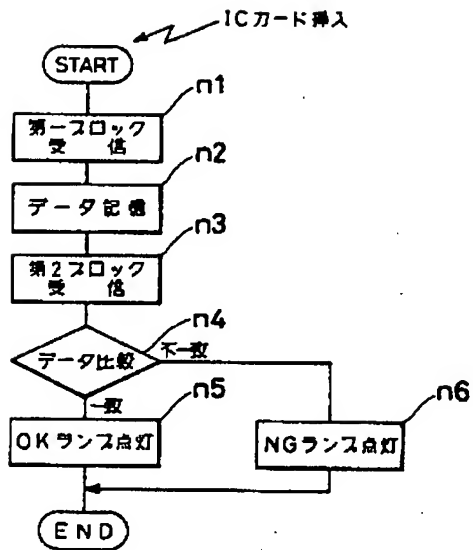
第2図



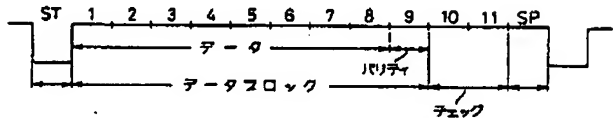
第1図



第3図



第4図



第5図

